

# METHOD FOR ENCAPSULATION OF SEMICONDUCTOR DEVICE

Publication number: JP2002314093

Publication date: 2002-10-25

Inventor: KIRK WILLIAM; BAO ZHENAN; MACH PETER;  
ROGERS JOHN A

Applicant: LUCENT TECHNOLOGIES INC

Classification:


- international: H01L21/316; H01L21/318; H01L29/786; H01L51/05;  
H01L51/40; H01L51/30; H01L51/52; H01L21/02;  
H01L29/66; H01L51/05; H01L51/50; (IPC1-7):  
H01L29/786; H01L21/316; H01L21/318; H01L51/00

- european: H01L51/05B2B6; H01L51/10

Application number: JP20020043700 20020220

Priority number(s): US20010789397 20010221

Also published as:

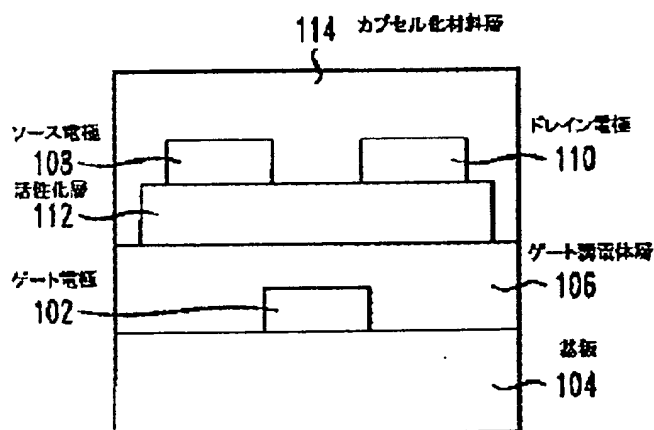
 US2002155729 (A1)

**BEST AVAILABLE COPY**

Report a data error here

## Abstract of JP2002314093

**PROBLEM TO BE SOLVED:** To provide an encapsulation material which can be deposited at a lower temperature and provides required encapsulation characteristics. **SOLUTION:** A method for encapsulating semiconductor devices includes a step in which an encapsulation material is deposited on a semiconductor device in such an environment as to enhance the performance of the semiconductor device. The encapsulation material is selected from a group of materials including an inorganic dielectric material, organic-inorganic composite material, inorganic polymer, silicon polymer, encapsulation material of laminated metal polymer, and multiplayer structures of any of these materials. The encapsulation material is deposited using a gas flow composed of silane and nitrogen and an ammonia gas flow. More specifically, the encapsulation material is SiO<sub>x</sub> and SiN<sub>x</sub> (X is between 0.1 and 10 inclusive).



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314093

(P2002-314093A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>8</sup> (参考)
H 0 1 L 29/786		H 0 1 L 21/316	M 5 F 0 5 8
21/316			X 5 F 1 1 0
		21/318	B
21/318		29/78	6 1 9 A
51/00		29/28	
審査請求 未請求 請求項の数12 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2002-43700 (P2002-43700)

(22) 出願日 平成14年2月20日 (2002. 2. 20)

(31) 優先権主張番号 0 9 / 7 8 9 3 9 7

(32) 優先日 平成13年2月21日 (2001. 2. 21)

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ  
レイテッドLucent Technologies  
Inc.アメリカ合衆国 07974 ニュージャージ  
ー、マレーヒル、マウンテン アベニュー  
600-700

(74) 代理人 100081053

弁理士 三俣 弘文 (外1名)

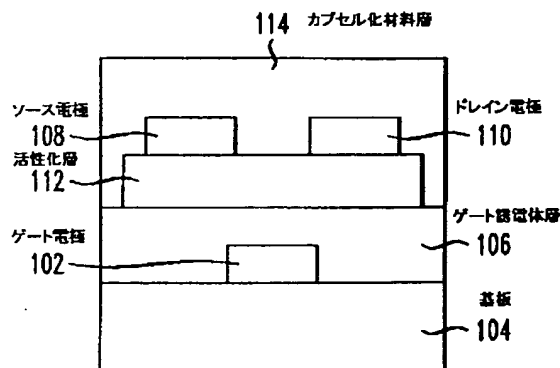
最終頁に続く

(54) 【発明の名称】 半導体デバイスのカプセル化方法

(57) 【要約】

【課題】低い温度で堆積可能であり、かつ必要とされるカプセル化特性を提供することのできるカプセル化材料を提供すること。

【解決手段】 本発明は、半導体デバイスの性能を向上させる環境下で半導体デバイス上にカプセル化材料を堆積するステップを有し、前記カプセル化材料は、無機誘電体材料と、有機-無機混成材料と、無機ポリマーと、シリコンポリマーと、金属ポリマー積層化されたカプセル化材料と、前記の材料のいずれか材料の多層構造物からなるグループから選択される。カプセル化材料はシランと残りが窒素のガス流とアンモニア流とで堆積される。具体的には、前記カプセル化材料は、 $\text{SiO}_x$  と  $\text{SiN}_x$  ( $x$ は0.1~1.0)、である。



## 【特許請求の範囲】

【請求項1】 半導体デバイスの性能を向上させる環境下で半導体デバイス上にカプセル化材料を堆積するステップを含むことを特徴とする半導体デバイスのカプセル化方法。

【請求項2】 前記カプセル化材料は、無機誘電体材料と、有機-無機混成材料と、無機ポリマーと、シリコンポリマーと、金属-ポリマー積層化されたカプセル化材料と、前記の材料内のいずれか材料の多層構成物とからなるグループから選択されることを特徴とする請求項1記載の方法。

【請求項3】 前記カプセル化材料は、 $\text{SiN}_x$ であり、ただしXは0.1ないし1.0であることを特徴とする請求項2記載の方法。

【請求項4】 前記カプセル化材料は、 $\text{SiO}_x$ であり、ただしXは0.1ないし1.0であることを特徴とする請求項2記載の方法。

【請求項5】 半導体は、有機p型であり、前記環境は還元環境であることを特徴とする請求項1記載の方法。

【請求項6】 前記堆積ステップは、 $50^\circ\text{C} \sim 150^\circ\text{C}$ の範囲の温度で行われることを特徴とする請求項1記載の方法。

【請求項7】 カプセル化材料は、シランと残りが窒素のガス流と。アンモニアのガス流とで堆積されることを特徴とする請求項3記載の方法。

【請求項8】 前記カプセル化材料は、 $300\text{mT}$ 以上 $2000\text{mT}$ 以下の圧力範囲内で堆積されることを特徴とする請求項6記載の方法。

【請求項9】 前記カプセル化材料は、 $10 \sim 60$ ワットの範囲のパワーでもって堆積されることを特徴とする請求項1記載の方法。

【請求項10】 前記堆積速度は、 $1\text{nm}/\text{分}$ から $100\text{nm}/\text{分}$ の堆積速度の範囲内にあることを特徴とする請求項1記載の方法。

【請求項11】 前記カプセル化材料は、シランと残りが窒素のガス流と、酸化窒素のガス流内で堆積されることを特徴とする請求項1記載の方法。

【請求項12】 前記半導体は、有機材料、有機/無機材料、フッ素カドミウムからなるグループから選択された材料であることを特徴とする請求項1記載の方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスのカプセル化方法に関する。

【0002】

【従来の技術】半導体デバイス、特に薄膜トランジスタ(TFT)の特性はある種の環境で劣化することがある。かくして適宜のカプセル化材料が探索されている。特に興味深いものは有機半導体デバイスのカプセル化で

あるが、その理由は有機半導体材料は価格の安い非ガラス製基板と適合性を有するからである。コンフォーマルなコーティングを有機トランジスタデバイスに塗布してデバイスの劣化を阻止している。

【0003】しかしコーティングはデバイスの性能を劣化させたり故障の原因となることがある。このようなメカニズムには、化学的劣化及び半導体フィルム又はドレイン電極とソース電極のコーティングあるいは厚膜化により導入されるトラップを含まれる。さらにまた従来のアプリケーションに適した多くのカプセル化材料は、有機TFT素子の溶融温度に近いあるいはそれ以上の高い堆積温度を必要とする傾向がある。かくして十分低い温度でもって形成可能であり、かつ必要とされるカプセル化特性を提供することのできるカプセル化材料に対する必要性が高まっている。

【0004】有機半導体材料の半導体特性を向上させる技術、例えば特定の環境下でアニーリングするステップが開発されている。電界効果移動度を変化させずに、トランジスタのオフ電流を低下するのに役立つ二つの方法が見いだされている。第一の方法においては、アンモニア水酸化物溶液(ammonium hydroxide aqueous solution)に $\text{N}_2$ を気泡状態で通過させることにより、フィルムをアンモニアで処理している。同一の方法を用いて導電性ポリマーの抵抗率を変化させている。熱処理例えば $100^\circ\text{C}$ で5分間 $\text{N}_2$ の雰囲気中でサンプルを加熱することにより、オフ電流を低下させることができる。

【0005】

【発明が解決しようとする課題】デバイスをアンモニア環境下でアニーリングするステップから取り出すと、そのような性能向上の効果は時間とともに消滅していく。従って、性能向上を維持する方法が必要とされている。

【0006】

【課題を解決するための手段】本発明の一実施例は、カプセル化された半導体デバイス及びカプセル化方法に関連し、カプセル化材料がデバイスの性能を向上させる環境(雰囲気)中でデバイス上に堆積される。本発明で開示されたカプセル化材料は、有機ポリマーと、シリコンポリマーと、金属/ポリマー積層化カプセル化材料である。本発明のカプセル化を形成する雰囲気(環境)は、不活性、還元状態のアンモニアガス環境を含む。本発明の実施例は、有機半導体デバイスのカプセル化方法に適用可能である。更に本発明はカプセル化されたトランジスタ及び半導体デバイスを示す。

【0007】

【発明の実施の形態】本発明の実施例により半導体デバイスの特性を向上させこれらの特性の劣化を防ぐ。半導体材料をカプセル化するキャップ層が堆積され半導体の特性を劣化させる外部材料から半導体材料を保護する。

【0008】電界効果移動度( $\mu_{FE}$ )とオン/オフ比を最適化することにより、TFTの性能を最大にするこ

とができる。前者はデバイスの中に誘導されたオン電流 ( $I_{ON}$ ) の絶対値に関連し、ソースドレイン電圧に関して線形であり、下の式 (1)、(2) で飽和する

$$I_{ON} = [WC_i \mu_{FE} V_D (V_G - V_O)] / L \quad (1)$$

$$I_{ON} = [WC_i \mu_{FE} (V_G - V_O)^2] / 2L \quad (2)$$

ここでWはチャネル幅であり、Lはチャネル長さであり、 $C_i$  はゲート誘電体層の単位面積あたりのキャパシタンスであり、 $V_D$  はドレインソース電圧で有り、 $V$

(ソースドレイン電圧に無関係となる) ような系で規定される。

$V_G$  はゲートソース電圧で  $V_O$  は式値電圧である。式 (2) はゲート電界がない場合に流れる電流  $I_{OFF}$  に対する電流を表し次式の通りである

$$I_{ON} / I_{OFF} = \mu_{FE} C_i V_G / 2\mu_r \rho h \quad (3)$$

$\mu_r$  は残留チャージ (電荷) の移動度であり、 $\rho$  はその密度であり、 $h$  は半導体層の高さである。

【0009】「オフ状態」とは、あるソースドレイン電圧に対しソース電極とドレイン電極間にほとんど電流が流れない状態として定義され、一方「オン状態」とは、その電圧でソースドレイン電流が流れる状態を意味する。2つの状態の切り替えは、ゲート誘電体層を介してゲート電極から半導体誘電体層のインターフェイスへの電界を印加すること及び除去により行われる (印加時にキャパシタにチャージする)。

【0010】TFTが、いわゆる蓄積モードで動作するときには、キャパシタの半導体側上のソースから注入されたチャージ (電荷) は移動し、ソースドレイン間に「チャネル」電流を流す。p型の半導体ではキャリアはホールであり、電子受動型材料はn型であり、電子のチャネルを形成する。ゲート電界が存在しない場合にはチャネルも存在せず、理想的にはソースドレイン間に導通はない。しかし実際には、半導体内の不純物により、あるいはリークパスによりオフ電流が流れる。

【0011】本発明の実施例は、有機半導体デバイスのカプセル化に特に適したものであり、そのため、本発明はこのようなデバイスに適用する例を主に説明する。カプセル化されたTFTの実施例の構造を図1、2に示す。これらは有機TFT又はポリマーTFTである。当業者も理解出来るように、本発明の実施例は他のタイプの活性層又は半導体層を有するデバイス、例えば無機層又は有機-無機の混成層にも適用可能である。活性層の材料は、フッ化カドミウム (cadmium sulfide) と、ペンタシーン (pentacene) と、FCuPc と、regioregular poly (3-hexylthiophene) (PHT)。必ずしも必要なことではないが、堆積方法が好ましく、300℃以下更に好ましくは130℃以下の基板温度で半導体を堆積するのが好ましい。

【0012】代表的な製造方法はゲート電極102を最初に基板104上に形成する。基板材料の一例は、ガラス、シリコン、プラスチックを含む。プラスチックは例えばポリエステル又はポリイミドである。ゲート材料の例は、金、銀、導電性ポリマー、導電性酸化物、例えばインジウムスズ酸化物である。導電性ポリマーの例としては、ポリアニリン (polyaniline) とポリチオヘン

(polythiophene) である。

【0013】ゲート金属102を形成した後、ゲート誘電体層106を堆積してゲート電極102と基板104をコーティングする。この実施例においては  $SiO_2$  が誘電体として用いられる。ゲート誘電体材料は、無機材料と、ポリマー材料と、無機/有機組成物とを含む。無機誘電体材料は、例えば  $SiN_x$ 、 $Al_2O_3$ 、 $SiO_x$  を含む。ポリマー誘電体材料は、例えばポリイミド、ガラスレジンを含む。無機/有機組成物の例は、酸化チタンのナノ粒子とポリイミドとを混合したものである。誘電体層は、例えば低圧、プラズマ強化CVDと、蒸着と、スピンキャストと、スパッタリングのいずれかで堆積される。ゲート誘電体層の厚さは、約100~1000nmである。

【0014】本発明の一実施例においては、 $SiO_2$  が300Åの厚さに堆積される。ソース電極108とゲート電極110は、図2に示すようにゲート誘電体層106の上に直接形成され、図1 (上部接点型) では、活性化層112の上に直接形成される。図2に示すように、ソース電極108とゲート電極110がゲート誘電体層106上に形成されている時には、活性化層112がソース電極108とゲート電極110とをカバーし、カプセル化材料層114がデバイスの保護用キャップ層を構成する。

【0015】TFTの代表的な要件は次の通りである。

$$I_{ON} \quad 1-2 \mu A$$

$$I_{OFF} \quad < 10 pA \text{ (理想)}$$

$$\text{応答時間} \quad < 1 \mu s$$

これらの要件を満たす値は、非放射型ディスプレイ (non-emissive-display) に対応する。これらの値はビデオレートの要件が緩和された時には、若干異なるものとなる。オン/オフの比率が維持されるならば、オン電流の要件は更に低くすることができる。応答時間はこれらの場合より高くすることも可能である。

【0016】本発明の一実施例においては、必要とされる応答時間により、3つの重要な時間が1μsとなる必要がある、すなわち3つの重要な時間とは、ソースドレイン間のキャリアの移動時間と、デバイスのRC時定数と、チャネル導電性の応答時間である。これらの時間の内の第一の時間は容易に満足することができる、すな

わち移動度が $0.1\text{Cm}^2/\text{V}\cdot\text{s}$ 以上の場合には、移動時間は $3\sim5\mu\text{m}$ であり、チャネル時間は $1\mu\text{s}$ 以下である。トランジスタの $R_{\text{ON}}C_i$  時定数は適切に設計されたデバイスにおいては問題になる可能性が低い。しかしチャネル導電性応答時間は長くなるが、その理由は深いトラップをチャージしたりディスチャージしたりする運動量が必要だからである。

【0017】本発明の一実施例においては、半導体デバイス例えばトランジスタデバイスを処理して性能パラメータ（例えば電界効果移動度オン/オフ比）を向上させる環境下にデバイスを置きながらカプセル化する。そのようにすることによりデバイスの性能の改善は維持されかつ動作環境のもとで起こる劣化にたいしカプセル化層が保護する。動作環境とは、不活性環境、アンモニア環境、還元環境、水素環境、ヘリウム環境である。さらに別の環境とはデバイスの性能に悪影響を及ぼすような材料を取り除く環境である。

【0018】カプセル化材料をプラズマ強化気相成長（PECVD）チェンバ内例えばプラズマサーム（TM790）でデバイス上に堆積する。ここに開示した堆積技術は、真空蒸着とスピンオンコーティングを含む。他の堆積方法は、それらがカプセル化材料と半導体デバイスに適合する限り用いることが出来る。デバイスに保護を与えるどのようなカプセル化材料も用いることが出来る。

【0019】動作環境に対しデバイスに保護を与え、デバイスの損傷を引き起こさないようなカプセル化材料も用いることが出来る。カプセル化材の化学量論的組成は、カプセル化材料の特性を最適するよう調整される。カプセル化材料は、単一の層あるいは複数の層を含んでもよい。代表的なカプセル化材料は、これに限定されるものではなく、無機誘電体材料、有機-無機混成材料、有機ポリマー、シリコンポリマー、金属/ポリマーのような多層構造材料を含む。

【0020】多層構造（積層構造）のカプセル化材料（例えば金属/ポリマーのカプセル化材料）はいかなる数の層を含んでもよい。無機誘電体材料の例は、 $\text{SiN}_x$ と $\text{SiO}_x$ である。本発明の一実施例においてはカプセル化材料は $\text{SiN}_x$ 化合物と $\text{SiO}_x$ 化合物の混合物である。カプセル化材料は、 $\text{SiN}_x$ 化合物または $\text{SiO}_x$ 化合物の一種類を含んでもよい。ここで、 $\text{SiN}_x$ と $\text{SiO}_x$ 、に対するXの値は0.1から10の範囲である。

【0021】堆積に用いられるチェンバの圧力と無線周波数（RF）は、カプセル化材料と、ガス数の流速と、ガス流の内容物に少なくとも一部は依存する。

【0022】以下の実験例においては、カプセル化材料が、 $130^\circ\text{C}$ の温度でPECVDチェンバ内でシリコン性基板上に堆積された。 $\text{SiN}_x$ がチェンバの圧力が900ミリトルで25ワットの無線周波数（RF）で、シランが2%残りが窒素からなる200sccmのガス流と、2.3sccmのアンモニアガス流と、900sccmの窒素ガス流を用いて堆積された。この温度における $\text{SiN}_x$ の堆積速度は、 $11\text{nm}/\text{分}$ である。さらなる別の実験では $\text{SiO}_2$ をカプセル化材料として用いた。 $\text{SiO}_2$ のフィルムの堆積条件はガスのパラメータが、シランが2%で残りの窒素の430sccmのガス流と、800sccmの酸化窒素のガス流であることを除いて同じであった。 $\text{SiO}_2$ フィルムの堆積速度は約 $60\text{nm}/\text{分}$ であった。

【0023】キャリア移動度とオン/オフ比をカプセル化されたデバイスに対して測定した。測定値は蒸気のガスフローでもって処理したカプセル化していないデバイスについても行われた。デバイスをガスで充填した。その後ガスをチェンバ内から取り除いてデバイスを空気にさらし、測定が行われ処理の影響が確認された。カプセル化する前のデバイスの測定値とカプセル化後のデバイスの測定値とを比較することにより、カプセル化する前にデバイスを空気にさらさない利点が見いだされる。この測定値はデバイスの性能に対するガス流の雰囲気の利点も示されている。

#### 【0024】実験例1

ペンタシエン（pentacene）の半導体製フィルムがシリコン性基板の上に熱蒸着された。表1はアンモニアガスでもって処理する前後のデバイスに対する移動度とオン/オフ比を示す。ペンタシエンはpチャネル半導体である。空気中で酸素によりドーピングされる欠点があり、これによりオン/オフ比が悪化する。表1の結果からわかるように、オン/オフ比はガスでもって処理した後若干改善されるが、移動度は若干悪くなる。

【0025】多くのアプリケーションにおいて、オン/オフ比は移動度よりもより重要である。具体的に説明すると、カプセル化したデバイスのオン/オフ比は、はるかに改善されていることが示される。これらの結果は、アニール条件（プラズマのない）により、真空中で熱処理しアンモニアガスでもって処理することにより、デバイスの性能を改善できることが示された。これらの結果はデバイスがこれらの条件でカプセル化された場合には、カプセル化材料がデバイスが空気にさらされるのを減らすあるいは阻止しながら、良好な性能を維持する。

#### 【0026】

【表1】

性能パラメータ	処理前	SiN <sub>x</sub> 条件でプラズマなし	SiN <sub>x</sub>
キャリア移動度	0.15 cm <sup>2</sup> /Vs	0.12 cm <sup>2</sup> /Vs	0.08 cm <sup>2</sup> /Vs
オン/オフ比	54.3	430	14000

#### 【0027】実験例2

rejioregular poly(3-hexylthiophene) (PHT)製の半導体フィルムを、PHTのクロロフォルム溶液をシリコン性基板上にキャストしそれを真空中で乾燥させることにより用意した。デバイスをその後2時間1 mTorr以下に真空引きした。表2は処理前と後のデバイスの移動度とオン/オフ比を示す。PHTは、pチャネル半導体である。真空中で酸素によりドーピングされる傾向があり、これによりオン/オフ比が悪化する。

【0028】表2の結果から明らかなように、オン/オフ比と移動度は処理後改善されていることがわかる。具

体的に説明すると、カプセル化されたデバイスははるかに良好なオン/オフ比と移動度を示した。これらの結果は、アニーリング条件（プラズマなし）により真空中での熱処理及びアンモニアガスによる処理に起因して、デバイスの性能が改善されていることを示している。デバイスがこれらの条件のもとでカプセル化された場合には、デバイスはカプセル化材料がデバイスを空気にさらすのを減らしながら、良好な性能を維持する。

【0029】

【表2】

性能パラメータ	処理前	SiN <sub>x</sub> 条件でプラズマなし	SiN <sub>x</sub>
キャリア移動度	8.34E-03 cm <sup>2</sup> /Vs	1.02E-02 cm <sup>2</sup> /Vs	2.35E-02 cm <sup>2</sup> /Vs
オン/オフ比	6.1	10.4	112

#### 【0030】実験例3

FCuPc製の半導体フィルムがシリコン性基板上に真空蒸着された。表3は処理前と処理後のデバイスの移動度とオン/オフ比を示す。FCuPcは、nチャネル半導体である。酸素はトラップとして機能し移動度を低下させる。還元環境、例えばSiN<sub>x</sub>を堆積する条件においては、酸素及び他の酸素派生物材料トラップが取り除かれデバイスの性能を改善している（表3）。

【0031】窒素とNH<sub>3</sub>ガスは、半導体にドーピングを引き起こすほど十分な還元強度を有していない。しかしプラズマは、nチャネル材料のドーピングを引き起こすのに十分なパワーを有している。その結果オフ電流は、約400倍に増加しオン/オフ比は100倍悪くなっている。プラズマがある場合とない場合の両方についてのSiO<sub>x</sub>状態のもとでデバイスの性能は改善されるが、その理由は、この場合の酸素派生物のガスは、材料中でトラップを引き起こすほど十分な酸化力はなく、かつ「真空中での熱処理」が半導体フィルム内の一部の吸収された酸素を除去するのに役立つからである。

【0032】

【表3】

性能パラメータ	処理前	SiN <sub>x</sub> 条件でプラズマなし	SiN <sub>x</sub>	SiO <sub>2</sub> 条件でプラズマなし	SiO <sub>2</sub>
キャリア移動度	5.86E-03 cm <sup>2</sup> /Vs	9.16E-03 cm <sup>2</sup> /Vs	2.28E-03 cm <sup>2</sup> /Vs	7.53E-03 cm <sup>2</sup> /Vs	7.39E-03 cm <sup>2</sup> /Vs
オン/オフ比	50.8	113	1.6	68.6	137.5

【0033】上記の実験で用いられた材料と条件は、本発明の一実施例の材料と条件である。カプセル化材料の化学量論的組成とデバイスの種類のようなファクターによっては、条件を変えるのが好ましい。代表的な堆積温度は、40℃～300℃及び50℃～150℃、75℃～145℃の範囲である。150℃以下の温度が、プラスチック製のデバイス組成例えばプラズマを用いることができるので特に好ましい。堆積圧力は、例えば300mT～2000mT、750mT～1000mTの範囲である。堆積電力は10ワット～60ワットの範囲である。

【0034】堆積速度（レート）は、堆積条件、堆積方法、堆積材料によって変わる。代表的な堆積レートは、1nm/分～100nm/分である。ある成分のガスフローと別の成分のガスフローの比率は、実験条件によって変動する。好ましい成分比率の選択は、デバイスの性能を最適にする環境に依存する。さらにまたガスフローの成分の形成も変動する。例えば窒素ガス中のシランの量は2%と異なってもよい。

【0035】本発明は上記の実施例で示されたが別の利点及び変更方法も同業者に公知である。本発明は上記に示した特定の条件に限定されるものではない。さまざま

な種類のカプセル化材料、カプセル化形成カプセル化層形成方法、カプセル化環境は本発明に対する変形は本発明の範囲内に含まれる。本発明は実施例に限定されことなく特許請求の範囲に基づいて解釈されるべきである。

【0036】特許請求の範囲の発明の要件の後に括弧で記載した番号がある場合は、本発明の一実施例の対応関係を示すものであって、本発明の範囲を限定するものと解釈すべきではない。

【図面の簡単な説明】

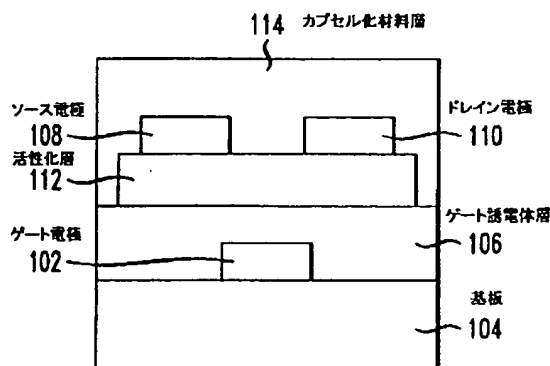
【図1】本発明の一実施例による上部接点型のTFETの断面図

【図2】本発明の一実施例による底部接点型のTFETの断面図

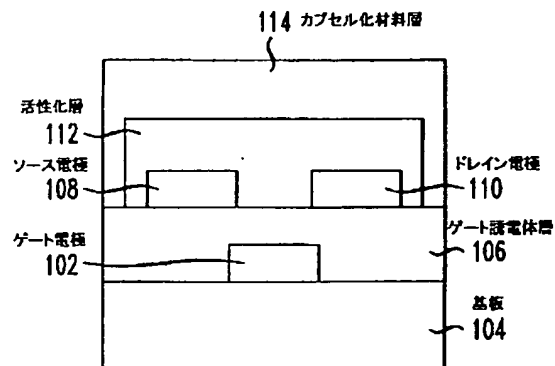
【符号の説明】

- 102 ゲート電極
- 104 基板
- 106 ゲート誘電体層
- 108 ソース電極
- 110 ドレイン電極
- 112 活性化層
- 114 カプセル化材料層

【図1】



【図2】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	キーワード(参考)
		H01L 29/78	618B
(71)出願人	596077259	(72)発明者	ピーター マーチ
	600 Mountain Avenue, Murray Hill, New Je rsey 07974-0636 U. S. A.		アメリカ合衆国、07922 ニュージャージー、 パークレー ハイツ、チョーサー ドライ ブ 211
(72)発明者	カーク ウィリアム	(72)発明者	ジョン エイ ロジャース
	アメリカ合衆国、07081 ニュージャージ ー州、スプリングフィールド、ワーナー アベニュー 55		アメリカ合衆国、07974 ニュージャージ ー州、ニュー プロヴィンス、アパートメ ント 1シー スプリングフィールド ア ベニュー 1200
(72)発明者	ゼナン バオー	Fターム(参考)	5F058 BC02 BC08 BJ03
	アメリカ合衆国、07060 ニュージャージ ー州、ノース プレインフィールド、アパ ート ジェージェー8、ロック アベニュー 1275		5F110 AA14 AA17 AA21 CC03 CC07 DD01 DD02 DD05 EE01 EE02 EE07 FF01 FF02 FF03 FF21 FF27 FF28 FF30 GG04 GG05 NN01 NN02 NN03 NN22 NN23 NN24 NN27 NN33 NN35 NN36